

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-211230

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl.⁶

H 01 L 21/76

識別記号

府内整理番号

E 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号

特願平3-315902

(22)出願日

平成3年(1991)11月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 戸枝 雅寛

東京都港区芝五丁目7番1号日本電気株式
会社内

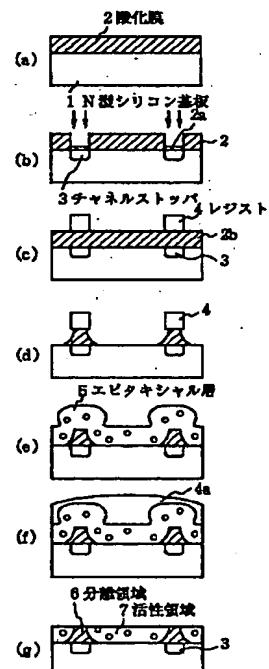
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】選択酸化法したLOCOS膜の端部に発生するバーズピークの応力による結晶欠陥および結晶転位でリーグ電流が増大する。厚いLOCOS膜の端部における金属配線のカバレッジが悪い。これらの問題を一挙に解決するものである。

【構成】N型シリコン基板1に酸化膜2を形成したのち薄い酸化膜2aを形成してチャネルトップ3を形成する。つぎに酸化膜2を除去したのち酸化膜2bを形成する。つぎにレジスト4をマスクとして酸化膜2bをエッチングしてからレジスト4を除去する。つぎにエピタキシャル層5を成長させたのちレジスト4aを塗布してエッチバック平坦化する。



1

【特許請求の範囲】

【請求項1】 半導体基板の一主面に素子間分離用の絶縁膜を形成してから選択エッチングする工程と、全面にエピタキシャル層を成長させる工程と、全面にレジストを塗布してからエッチバックして平坦化する工程とを含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路の素子間分離構造の製造方法に関するものである。

【0002】

【従来の技術】 従来の選択酸化法によるフィールド酸化膜（LOCOS膜）を用いた素子間分離法について、図2(a)～(e)を参照して説明する。

【0003】 はじめに図2(a)に示すように、N型シリコン基板1を950°Cで熱酸化して厚さ50nmの酸化膜2を形成する。

【0004】 つぎに図2(b)に示すように、レジスト4をマスクとして $^{11}\text{B}^+$ を100keVで $1.0 \times 10^{13} \text{ atoms/cm}^2$ イオン注入してチャネルトップ3を形成する。

【0005】 つぎに図2(c)に示すように、厚さ120nmの窒化シリコン膜9を堆積したのちレジスト(図示せず)をマスクとしてエッチングする。

【0006】 つぎに図2(d)に示すように、980°Cで熱酸化して厚さ100nmのLOCOS膜8を形成する。

【0007】 つぎに図2(e)に示すように、窒化シリコン膜9をエッチングすることにより、シリコン基板1表面の活性領域がLOCOS膜8で分離される。

【0008】

【発明が解決しようとする課題】 選択酸化法によって形成したLOCOS膜による素子間分離法では、シリコン基板表面に局所的に厚いLOCOS膜を形成する。LOCOS膜の端(以下バーズピークと記す)近傍のシリコン基板に応力が加わり、結晶欠陥および結晶転位が発生してリーク電流が増大するという問題があった。

【0009】 また素子を形成する領域とLOCOS膜の形成された分離帯との間に段差があるので、素子に接続する金属配線のステップカバレッジが悪いという問題があった。

【0010】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板の一主面に素子間分離用の絶縁膜を形成してから選択エッチングする工程と、全面にエピタキシャル層を成長させる工程と、全面にレジストを塗布してからエッチバックして平坦化する工程とを含むものである。

【0011】

【実施例】 本発明の一実施例について、図1(a)～

2

(g)を参照して説明する。

【0012】 はじめに図1(a)に示すように、N型シリコン基板1を980°Cで熱酸化して厚さ500nmの酸化膜1を形成する。

【0013】 つぎに図1(b)に示すように、レジスト(図示せず)をマスクとして酸化膜2をエッチングしたのち再び950°Cで熱酸化して厚さ40nmの酸化膜2aを形成する。この酸化膜2aはイオン注入によるシリコン基板1の表面損傷を抑えるものである。

【0014】 つぎに酸化膜2をマスクとして $^{11}\text{B}^+$ を100keVで $1.2 \times 10^{13} \text{ atoms/cm}^2$ イオン注入してP+型拡散層からなるチャネルトップ3を形成する。

【0015】 つぎに図1(c)に示すように、酸化膜2を全面除去したのち980°Cで熱酸化して厚さ1000nmの酸化膜2bを形成する。

【0016】 つぎに図1(d)に示すように、レジスト4をマスクとして酸化膜2bをエッチングする。

【0017】 つぎに図1(e)に示すように、レジスト4を除去してCVD法により厚さ $1.5 \mu\text{m}$ のN型シリコンエピタキシャル層5を成長させたのちアーニルして単結晶化する。

【0018】 つぎに図1(f)に示すように、レジスト4aを塗布する。

【0019】 つぎに図1(g)に示すように、エッチバック法により酸化膜2bからなる分離領域6で囲まれた活性領域7が形成される。

【0020】 本実施例で用いたN型シリコン基板の代りに、N型エピタキシャル層、P型シリコン基板、P型エピタキシャル層のいずれかを用いても同様の効果を得ることができる。

【0021】

【発明の効果】 素子間分離用の絶縁膜を形成し、エピタキシャル層を成長させたのちエッチバックして平坦化する。

【0022】 その結果、LOCOS分離法に比べて、バーズピークがなく半導体基板への応力がなくなる。従来、応力によって生じていた結晶欠陥および結晶転位によるリーク電流の増大を防ぐことができる。

【0023】 さらにエッチバック法により平坦化するので、素子形成用の活性領域と素子間分離用の絶縁膜との段差が解消する。素子に接続する金属配線のステップカバレッジが従来に比べて著しく改善された。

【図面の簡単な説明】

【図1】 本発明の一実施例を工程順に示す断面図である。

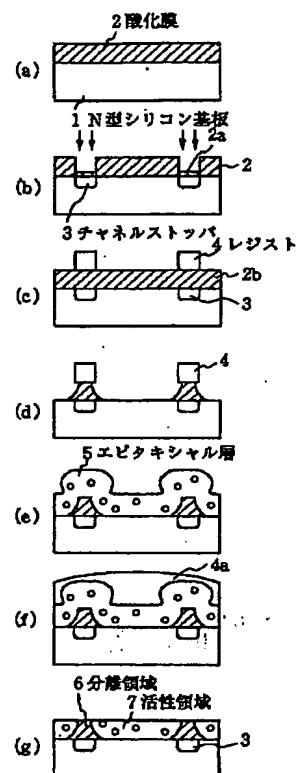
【図2】 従来の選択酸化法による素子間分離を示す断面図である。

【符号の説明】

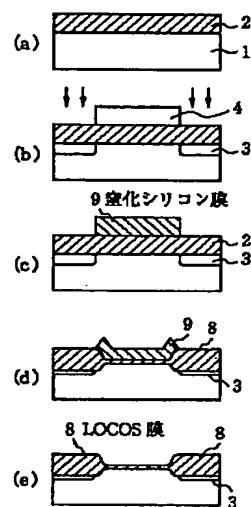
3
2, 2a, 2b 酸化膜
3 チャネルストップ
4, 4a レジスト
5 エピタキシャル層

* 6 分離領域
7 活性領域
8 LOCOS膜
* 9 塗化シリコン膜

【図1】



【図2】



THIS PAGE BLANK (USPTO)